

引用格式:郑凯伦,郭桂良. 一种高跨导增益高线性度的共模反馈电路[J]. 微电子学与计算机, 2020, 37(7): 31-35. [ZHENG K L, GUO G L. A high-transconductance high-linearity CMFB circuit [J]. Microelectron. & Computer, 2020, 37(7): 31-35.]

一种高跨导增益高线性度的共模反馈电路

郑凯伦^{1,2}, 郭桂良¹

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

摘 要: 为了改善传统的差分误差放大型共模反馈在处理大摆幅差分输出时的非线性问题, 采用源级退化电阻进行线性化补偿; 同时提出了一种创新的电流复用型接法, 在保持面积与功耗不变的同时增大了共模反馈的跨导增益, 从而弥补源级退化造成的共模反馈环路增益与 GBW 的降低. 在结合高速电流镜技术后可以在获得高增强效果的同时保持足够的相位裕度.

关键词: 差分误差放大器; 源级退化电阻; 电流复用; 高速电流镜

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)07-0031-05

A high-transconductance high-linearity CMFB circuit

ZHENG Kai-lun^{1,2}, GUO Gui-liang¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to improve the linearity of the traditional differential-difference-amplifier common-mode feedback (CMFB) in dealing with the large amplitude differential output voltage, the source degeneration resistor is used. An innovative current-recycling method is proposed, with which the area and power consumption are constant while increasing the transconductance of the CMFB, thereby compensating for the reduction of the CMFB loop gain and GBW. In combination with high-speed current mirror technology, high enhancements can be achieved while maintaining sufficient phase margin.

Key words: differential difference amplifier; source degeneration resistor; current recycling; high-speed current mirror

1 引言

相较于单端输出放大器, 全差分放大器由于其宽输出动态范围、抑制共模噪声与偶次谐波的优点得到了广泛应用. 然而全差分放大器需要额外的共模反馈电路以稳定共模输出电压. 目前主要的三类共模反馈电路中, 开关电容共模反馈需要额外的时钟, 并且存在电荷注入和时钟馈通效应, 只适合于离散时间系统; 电阻平均共模反馈会给运放输出结点引入电阻负载, 为避免降低差模增益需要使用大阻

值感应电阻, 导致额外的芯片面积, 同时大电阻与误差放大器输入电容构成低频极点, 降低了共模反馈环路的稳定性; 差分误差放大共模反馈使用两对差分对完成共模电压的感应和与期望输出共模电压的比较, 其优点在于高跨导增益和不会引入电阻负载, 但缺点是饱和区 MOS 管本身非线性 I-V 特性会导致在共模输出和差模输出电压中引入不期望的偶次谐波. 采用源级退化电阻可以改善线性度, 缺点是牺牲跨导增益, 从而导致共模反馈环路增益和 GBW 降低, 无法精确设定输出共模电压到期望的使输出

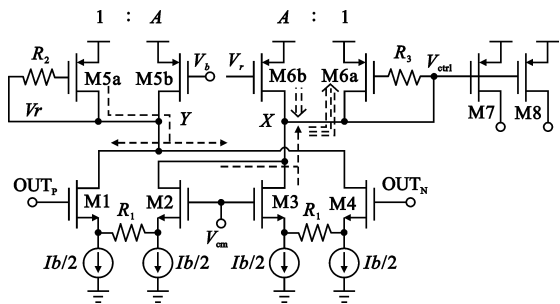


图 3 高线性度高跨导增益 DDA 结构

在未加入电阻 R_2 、 R_3 之前,二极管接法的 M5、M6 使得镜像极点 X、Y 位于较高频率位置. 忽略 C_{GS} 以外的其他寄生电容及密勒等效后进行简化分析可以得到 X、Y 极点频率如式(8)(9)所示. 因为沟道宽度 W 拆分前后(保持 L 不变)偏置状态未变,即 (I_d/W) 保持恒定,所以理论上镜像极点频率仅与拆分系数 A 成反比. 当 A 取值过高时,X、Y 极点频率降低会导致共模反馈环路相位裕度的退化. 通过高速电流镜补偿技术^[3],加入电阻 R_2 、 R_3 后可以在不影响电流镜低频特性的同时减小镜像极点频率降低对相位裕度的影响(引入零点),从而可以实现更高的 A 取值. R_1 为源级退化电阻,通过源级负反馈抑制了 MOS 管平方律 I-V 特性造成的非线性. 此时的跨导增益如式(10).

$$A_{CMF12} \approx \frac{2}{R_1} (1 + A)^2 \tag{10}$$

3 仿真结果

为了与近期其他结构进行公平比较以体现改进效果,本文在 5 V 华宏 0.35 μm 工艺,相同的偏置状态(I_d/W)和等效晶体管尺寸下复现了最优性能时的结构^[2]($R=25\text{ k}$)、结构^[4]、结构^[5]($R=1.2\text{ M}$, $C=10\text{ p}$)、结构^[6]($R=7\text{ k}$). 其中,OTA 采用传统的全差分折叠共源共栅结构,如图 4,静态电流 300 μA ,负载电容 10 pF,直流开环增益 60.2 dB,相位裕度 87°,GBW=14.1 MHz. 定义 $\text{FOM}=\text{GBW}/\text{Power}$ 为电流效率,单位 MHz/mA. 通过 stb 仿真可以得到共模反馈环路性能(表 1). 可以看到本文结构($A=23/7$, $R_1=25\text{ k}$, $R_2=160\text{ k}$, $R_3=120\text{ k}$)的 FOM 值仅低于文献[6],同时在三个主要工艺角下均具有足够的相位裕度. 本文采用如图 5 所示的测试电路来仿真共模反馈的线性度,使用理想巴伦(ideal_balun)进行差分(vp,vn)与单端(vcm,vdm)的理想转换,通过设置运放输入端初始电压来实现电容反馈下的输入静态偏置. 为了综合体现共模反馈

的非线性对差模输出 V_{OD} 和共模输出 V_{OC} 的影响,本文对差模输入 V_{ID} (1 kHz 正弦波)的幅值进行扫描,仿真单端输出电压(outp)的总谐波失真 THD. 如图 6,本文结构具有最低的 THD 值. 为了更直观地体现式(6)中的偶次谐波,本文对输入正弦波幅值为 0.25 V 时 V_{OC} 的瞬态波形做了 1 024 点 DFT. 由于 V_{OC} 不含基波成分(1 kHz),因此本文采取归一化到直流分量(0 dB),如图 7~9. 其中数字表示幅值大于 -60 dB 的频率成分的幅值,均位于(2k, 4k, 6k, ...)的偶次谐波位置. 比较可知本文结构具有最小的 V_{OC} 偶次谐波.

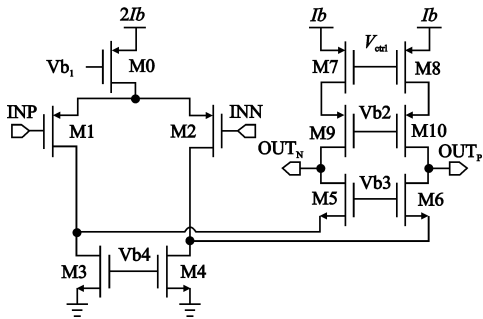


图 4 全差分折叠共源共栅 OTA(省略偏置电路)

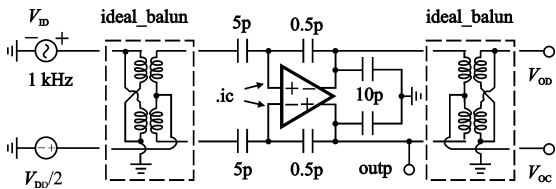


图 5 测试电路

表 1 共模反馈环路性能

27℃-TT	传统	文献[2]	文献[4]	文献[5]	文献[6]	本文
LG/dB	55.3	37.4	67.0	96.7	67.0	62.4
GBW/MHz	7.38	0.96	26.74	8.10	26.4	23.84
PM/°	85.6	90.0	61.6	87.3	60.2	60.0
Power/ μA	167	167	212	167	167	167
FOM	44.3	5.8	126.1	48.6	158.4	143.1
-40℃-FF	传统	文献[2]	文献[4]	文献[5]	文献[6]	本文
LG/dB	52.8	33.3	64.6	94.3	67.0	58.4
GBW/MHz	8.78	0.95	32.00	10.49	38.20	30.38
PM/°	85.8	90.6	62.7	87.1	50.0	55.24
Power/ μA	171	171	219	171	171	171
FOM	51.3	5.6	146.2	61.3	223.1	177.3
85℃-TT	传统	文献[2]	文献[4]	文献[5]	文献[6]	本文
LG/dB	57.3	40.6	69.0	98.7	67.2	65.6
GBW/MHz	6.41	0.96	23.12	6.57	19.05	20.40
PM/°	85.5	89.7	61.0	87.4	67.5	58.3
Power/ μA	163	163	207	163	163	163
FOM	39.3	5.9	111.7	40.2	116.7	125.0

优秀的实用价值.

参考文献:

[1] WHATLEY R A. Fully differential operational amplifier with DC common-mode feedback; U. S. Patent 4, 573,020[P]. 1986-2-25.

[2] ZHANG M M, HURST P J. Effect of nonlinearity in the CMFB circuit that uses the differential-difference amplifier[C]//2006 IEEE International Symposium on Circuits and Systems. Kos, Greece, IEEE, 2006; 1393.

[3] VOO T, TOUMAZOU C. High-speed current mirror resistive compensation technique[J]. Electronics Letters, 1995, 31(4): 248-250.

[4] DUQUE-CARRILLO J F. Control of the common-mode component in CMOS continuous-time fully differential signal processing[J]. Analog integrated circuits and signal processing, 1993, 4(2): 131-140.

[5] LAH L, CHOMA J, DRAPER J. A continuous-time common-mode feedback circuit (CMFB) for high-impedance current-mode applications[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 2000, 47(4): 363-369.

[6] LOPEZ-MARTIN A J, GARDE M P, RAMIREZ-ANGULO J. Class AB differential difference amplifier for enhanced common-mode feedback[J]. Electronics Letters, 2017, 53(7): 454-456.

作者简介:

郑凯伦 男,(1995-),硕士,研究方向为模拟集成电路设计.

郭桂良 男,(1981-),博士,副研究员,研究方向为模拟/射频集成电路设计. E-mail: guoguiliang@ime. ac. cn.

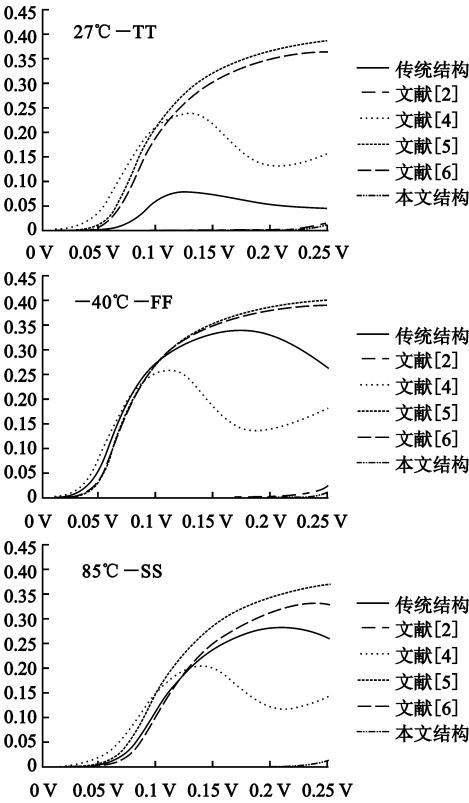


图 6 三个主要工艺角下 OUTP 的 THD(单位:1)

4 结束语

本文基于源级退化电阻技术,提出了一种兼具高线性度和高跨导增益的差分误差放大型(DDA)连续时间共模反馈电路.虽然无源电阻的使用增大了芯片面积,但因为该结构对 R_2 和 R_3 (100 k 量级)工艺偏差具有较高的容忍度,因此可以采取较小宽度的电阻;而 R_1 虽然需要版图匹配,但其阻值较小(20 k 量级).综合考虑性能的提升后,该结构具有

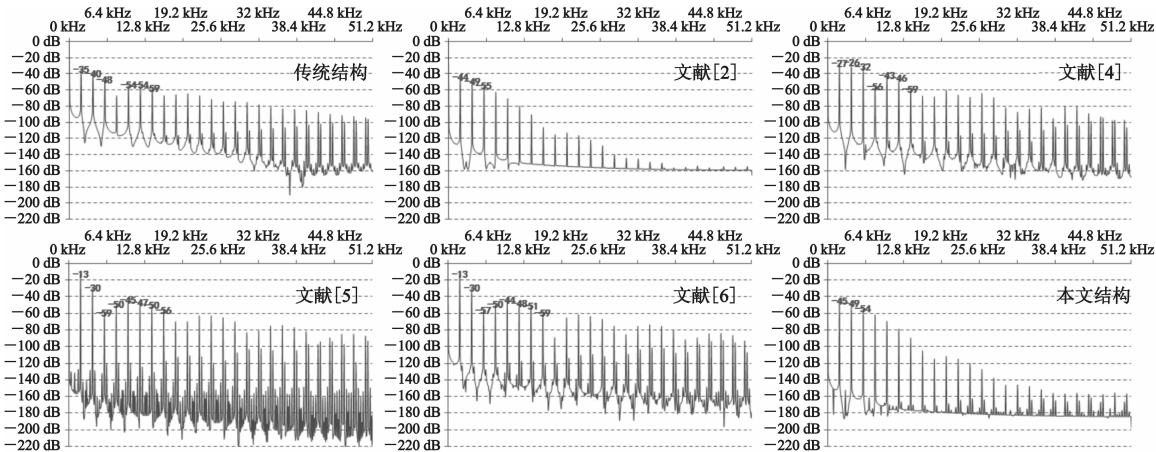


图 7 27°C-TT 工艺角,0.25 V 输入下的输出共模电压 V_{cc} 的 1 024 点 DFT

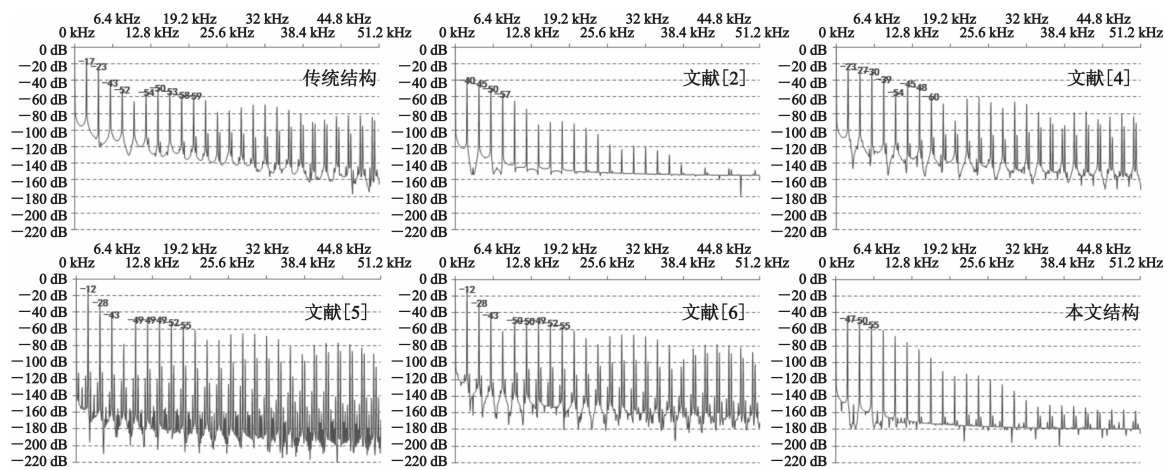


图 8 -40°C -FF 工艺角, 0.25 V 输入下的输出共模电压 V_{OC} 的 1 024 点 DFT

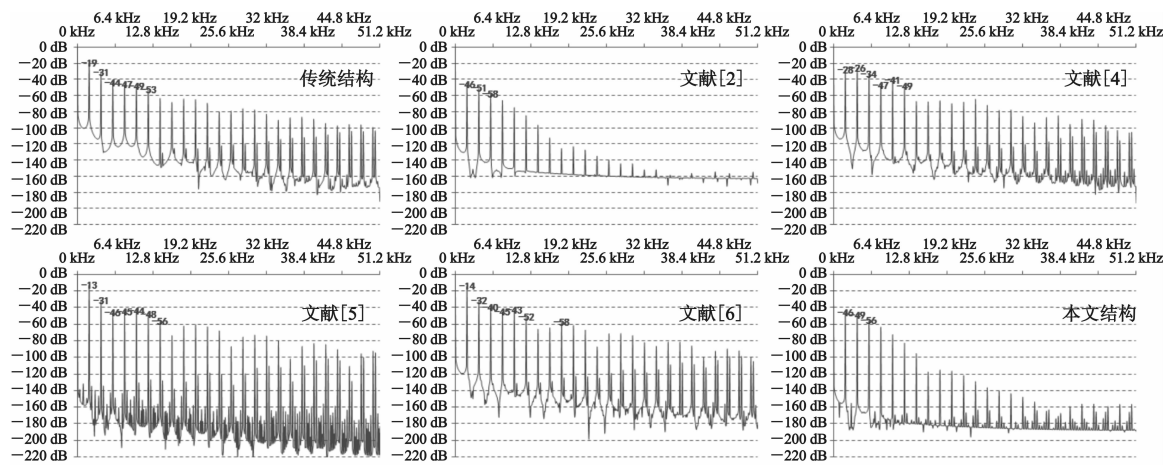


图 9 85°C -SS 工艺角, 0.25 V 输入下的输出共模电压 V_{OC} 的 1 024 点 DFT